

中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE
MINISTRY OF ECONOMIC AFFAIRS
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，
其申請資料如下：

This is to certify that annexed is a true copy from the records of this
office of the application as originally filed which is identified hereunder:

申請日：西元 2003 年 08 月 25 日
Application Date

申請案號：092123326
Application No.

申請人：盛群半導體股份有限公司
Applicant(s)

局長
Director General

蔡練生

發文日期：西元 2003 年 10 月 28 日
Issue Date

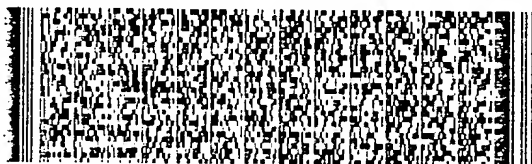
發文字號：09221096980
Serial No.

申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中 文	高頻信號抑制裝置
	英 文	
二、 發明人 (共1人)	姓 名 (中文)	1. 陳俊雄
	姓 名 (英文)	1. Chun-Hsiung Chen
	國 籍 (中英文)	1. 中華民國 TW
	住居所 (中 文)	1. 新竹市香山區牛埔東路247號12樓之23
	住居所 (英 文)	1.
三、 申請人 (共1人)	名稱或 姓 名 (中文)	1. 盛群半導體股份有限公司
	名稱或 姓 名 (英文)	1. Holtek Semiconductor Inc.
	國 籍 (中英文)	1. 中華民國 TW
	住居所 (營業所) (中 文)	1. 新竹科學工業園區研新二路三號 (本地址與前向貴局申請者相同)
	住居所 (營業所) (英 文)	1.
	代表人 (中文)	1. 吳啟勇
	代表人 (英文)	1. Chi-Yung Wu



四、中文發明摘要 (發明名稱：高頻信號抑制裝置)

本案係指一種高頻信號抑制裝置，包括一濾波器，具有一輸入端；以及一整形電路，與該濾波器串聯，且該整形電路具有一輸出端；其中，該高頻信號抑制裝置係藉由該濾波器濾除由該輸入端輸入之一信號之高頻部份，再經由該整形電路之整形，於該輸出端輸出一邏輯信號。

五、(一)、本案代表圖為：第一圖。

(二)、本案代表圖之元件代表符號簡單說明：

V_{DD} 高電壓

V_{SS} 低電壓

1 高頻信號抑制裝置

10 低通濾波器

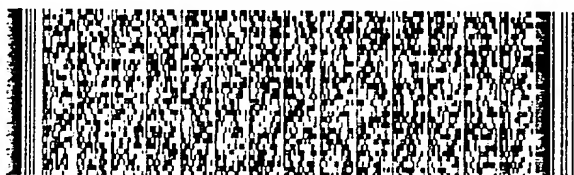
11 整形電路

101 電阻

102 電容

103 電容

六、英文發明摘要 (發明名稱：)



一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第二十四條第一項優先權

無

二、☐主張專利法第二十五條之一第一項優先權：

申請案號：

無

日期：

三、主張本案係符合專利法第二十條第一項☐第一款但書或☐第二款但書規定之期間

日期：

四、☐有關微生物已寄存於國外：

寄存國家：

寄存機構：

寄存日期：

寄存號碼：

無

☐有關微生物已寄存於國內(本局所指定之寄存機構)：

寄存機構：

寄存日期：

寄存號碼：

無

☐熟習該項技術者易於獲得，不須寄存。



五、發明說明 (1)

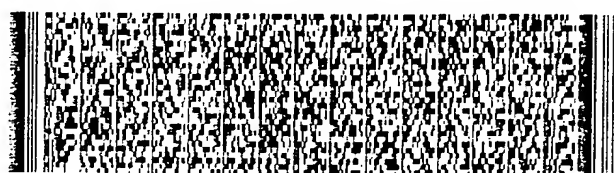
發明所屬之技術領域

本案係指一種高頻信號抑制裝置，尤指一種防制電磁干擾(EMI)的高頻信號抑制裝置。

先前技術

一般在電子產品的設計上，為了達到能夠進軍世界的技術水準，主要關鍵之一即在於電磁相容性的性能優良與否；以歐、美、日來說，其製造廠商不但為此項技術之領導者，且均將其視為關鍵技術，因此其他國家之廠商難以外購方式取得。而在台灣，由於投入防制電磁干擾之領域較晚、相關之研究亦少，不但使得技術較為落後，同時製作出來的產品在抵抗電磁干擾的表現上也無法與歐、美、日所生產出來的產品競爭。

所謂電磁相容性(Electromagnetic Compatibility, EMC)是指設備或系統在其電磁環境中能符合正常運轉的要求，並且不對其環境中的其他任何設備或系統產生無法忍受的電磁干擾訊號。因此，EMC 必須包括兩方面的要求：一方面是指設備在正常運轉過程中對所在環境產生的電磁干擾不能超過一定的限值，即電磁干擾(Electromagnetic Interference, EMI)；另一方面是指設備對所在環境中存在的電磁干擾具有一定程度的抗干擾能力，即電磁耐受性



五、發明說明 (2)

(Electromagnetic Susceptibility, EMS)。

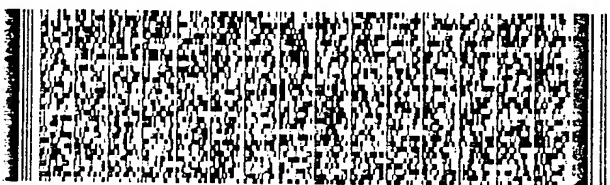
會產生影響電磁相容性的干擾問題常見的有靜電干擾、電磁波干擾、以及電源干擾……等，而這些異常的干擾現象所造成的影響為，在正常運作的產品之電子電路上因感應或由外部載入一高能量的高頻信號，使得電子電路本身受影響而導致工作錯誤、或是結構上遭到破壞而無法正常運作。

普通為了防止高頻信號干擾、藉以增加產品之電磁耐受性，所應用之方法皆是在產品之電路外部加上一保護電路為主，該保護電路之結構隨著各家廠商而有所不同，然而基本上皆是以外加電阻或電容、甚至是以昂貴的雜波抑制電容來作設計，不但設計困難、生產良率受到影響，最重要的是生產成本的大幅增加，使得產品單價難以降低，造成廠商及所屬國家在國際競爭力上的損失。

職是之故，發明人鑑於習知技術之缺失，乃思及改良發明之意念，續經悉心試驗與研究，並一本鍥而不捨之精神，終發明出本案「高頻信號抑制裝置」。以下為本案之簡要說明。

發明內容

本案之主要目的係設計一簡單之高頻信號抑制裝置，利用其將高頻信號濾除，從而保護電子產品不受電磁干



五、發明說明 (3)

擾，以增加電子產品之電磁耐受性(EMS)。

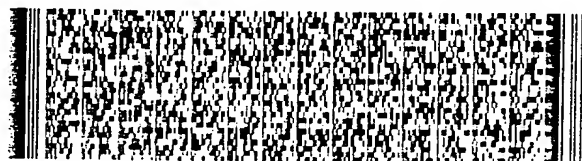
根據本案之構想，提出一種高頻信號抑制裝置，包括：一電阻，其一第一端係為該高頻信號抑制裝置之一輸入端；一第一電容，其一第一端連接於一高電壓，其一第二端連接於該電阻之一第二端；一第二電容，其一第一端連接於該第一電容及該電阻，其一第二端連接於一低電壓；以及一整形電路，其一輸入端連接於該第一電容、該電阻及該第二電容，其一輸出端係為該高頻信號抑制裝置之一輸出端；其中，該高頻信號抑制裝置係藉由該電阻、該第一電容、及該第二電容濾除由該高頻信號抑制裝置之該輸入端輸入之一信號之高頻部份，再經由該整形電路之整形，於該高頻信號抑制裝置之該輸出端輸出一邏輯信號。

根據上述構想，其中該電阻係選自一互補式金屬氧化物半導體(CMOS)之輸出阻抗、一金屬氧化物半導體(MOS)電阻、一傳輸閘(Transmission Gate)、一多晶矽(Poly-Si)、及一量子井(Quantum Well)其中之一。

根據上述構想，其中該第一電容及該第二電容係為該整形電路之一輸入寄生電容、及一金屬氧化物半導體(MOS)電容其中之一。

根據上述構想，其中該整形電路係選自一史密特觸發(SCHMITT trigger)電路、一邏輯閘(Logic Gate)、及一比較器(Comparator)其中之一。

根據本案之另一構想，提出一種高頻信號抑制裝置，



五、發明說明 (4)

包括：一濾波器，具有一輸入端；以及一整形電路，與該濾波器串聯，且該整形電路具有一輸出端；其中，該高頻信號抑制裝置係藉由該濾波器濾除由該輸入端輸入之一信號之高頻部份，再經由該整形電路之整形，於該輸出端輸出一邏輯信號。

根據上述構想，其中該濾波器係為一低通濾波器。

根據上述構想，其中該濾波器包括：一電阻，其一第一端係為該濾波器之該輸入端，其一第二端連接於該整形電路之一輸入端；一第一電容，其一第一端連接於一高電壓，其一第二端連接於該電阻及該整形電路之該輸入端；以及一第二電容，其一第一端連接於該第一電容、該電阻及該整形電路之該輸入端，其一第二端連接於一低電壓。根據上述構想，其中該電阻係選自一互補式金屬氧化物半導體(CMOS)之輸出阻抗、一金屬氧化物半導體(MOS)電阻、一傳輸閘(Transmission Gate)、一多晶矽(Poly-Si)、及一量子井(Quantum Well)其中之一。

根據上述構想，其中該第一電容及該第二電容係為該整形電路之一輸入寄生電容、及一金屬氧化物半導體(MOS)電容其中之一。

根據上述構想，其中該整形電路係選自一史密特觸發(SCHMITT trigger)電路、一邏輯閘(Logic Gate)、及一比較器(Comparator)其中之一。

本案得藉由下列圖式及詳細說明，俾得更深入之了解：



實施方式

本案用來解決電磁干擾問題的方法，是設計一個特殊結構的高頻信號抑制裝置，將其裝設於電子電路系統的時鐘信號端、邊緣觸發端、或是輸出輸入端，用以過濾並抑制外來之干擾信號；另一方面，外來之干擾信號亦極可能干擾電子電路的系統電源，導致邏輯轉換點產生飄移，造成高頻雜訊的發生，以致系統出錯，因此本案所提出之高頻信號抑制裝置，尚須對於電源所產生之干擾，也能有很強的防禦力，如此才能完全地克服高頻信號的干擾問題。請參閱第一圖，其為本案一較佳實施例之高頻信號抑制裝置電路結構圖，其中，高頻信號抑制裝置1係由低通濾波器10以及整形電路11互相串聯所構成。而高頻信號抑制裝置1係藉由低通濾波器10濾除由高頻信號抑制裝置1之輸入端輸入之一信號的高頻部份，再經由整形電路11之整形，於高頻信號抑制裝置之一輸出端輸出一邏輯信號，以達到抑制高頻信號輸入的目的。

在本較佳實施例中，低通濾波器10的電路配置單元是電阻101、以及電容102及103，如第一圖之虛線方框內所示。其中，電阻101的輸入端即為高頻信號抑制裝置1之輸入端，其輸出端則與電容102及103、以及整形電路11之輸入端相連接。另外，電容102尚連接於高電壓 V_{DD} ，電容103

五、發明說明 (6)

連接於低電壓 V_{SS} ，同時整形電路11亦是藉由 V_{DD} 與 V_{SS} 之間的電位差而驅動。

當然，實際上把握住了電路設計的原則，其配置方式自然並不受到圖示的局限而可以作出諸般變化，例如：電阻101可以寄生在前一級的互補式金屬氧化物半導體(CMOS)的輸出阻抗中，或是利用金屬氧化物半導體(MOS)電阻、傳輸閘(Transmission Gate)、多晶矽(Poly-Si)、或是量子井(Quantum Well)來取代；而整形電路11較好的選擇當然是史密特觸發(SCHMITT trigger)電路，雖然邏輯閘(Logic Gate)以及比較器(Comparator)也是可以利用的素材，不過效果上與史密特觸發電路比較起來就差了些；同樣地，電容102及103除了可以是整形電路11的輸入寄生電容外，金屬氧化物半導體(MOS)電容也是很好的代替物，要注意的是，電容102及103可以不必相同，只要其比較點相對於高電壓 V_{DD} 變化之比例相近即可。

以下便分別就信號干擾及電源干擾兩方面來作本案高頻信號抑制裝置運作之簡要說明(假設電阻101之阻值為 R ，電容102及103的電容值分別為 $C1$ 及 $C2$)。

(1) 針對系統高頻時鐘信號及高頻輸入信號

利用低通濾波器10濾除由輸入端進入之高頻信號，其時間常數為 $R*(C1+C2)$ ，接著進入整形電路11，使得輸出為一整形好的邏輯信號，其中，時間常數為 $R*(C1+C2)$ 及整形電路11之比較點係用以設計所抑制之高頻頻率的抑制點。

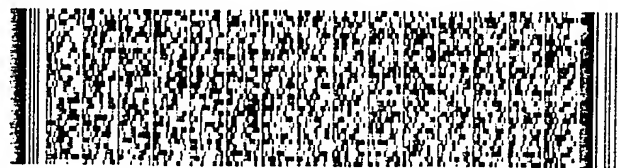
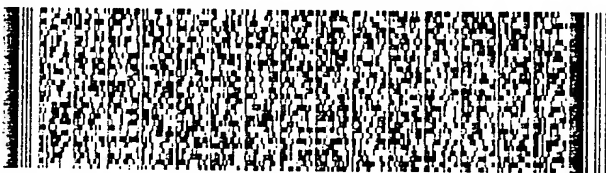
五、發明說明 (7)

(2) 針對電源干擾

利用低通濾波器10，配合電容102及103的分別對 V_{DD} 及 V_{SS} 連接，使得由輸入端進入之電源雜訊可瞬間分配至整形電路11的輸入端，而其輸入端信號可以隨著邏輯轉換點同步飄移，如此可避免因電源之高頻雜訊干擾整形電路11之邏輯轉換點所產生的高頻輸出。經過時間常數為 $R*(C1+C2)$ 的低通濾波器10，接著進入整形電路11，使得輸出為一整形好的邏輯信號，其中，時間常數為 $R*(C1+C2)$ 及整形電路11之比較點係用以設計所抑制之高頻頻率的抑制點。

綜上所述，本案所提出之高頻信號抑制裝置係以簡單的電路設計來提昇電子產品的電磁相容性的性能，不但成本低廉、效果亦佳，用來同時過濾電源高頻信號、時鐘高頻信號、以及外來之高頻信號，以保護電子產品不受電磁干擾，提昇產品的電磁耐受性(EMS)及穩定性，使得產品在設計時困難度降低，亦可減少外加之保護電路，確實對於生產成本的降低、產品性能以及製作公司競爭力的提升有顯著的助益。

本案得由熟悉本技藝之人士任施匠思而為諸般修飾，然皆不脫如附申請專利範圍所欲保護者。



圖式簡單說明

圖式簡單說明

第一圖：本案一較佳實施例之高频信號抑制裝置結構圖。

圖式符號說明

V_{DD} 高電壓

V_{SS} 低電壓

1 高频信號抑制裝置

10 低通濾波器

11 整形電路

101 電阻

102 電容

103 電容



六、申請專利範圍

1. 一種高頻信號抑制裝置，包括：

一電阻，其一第一端係為該高頻信號抑制裝置之一輸入端；

一第一電容，其一第一端連接於一高電壓，其一第二端連接於該電阻之一第二端；

一第二電容，其一第一端連接於該第一電容及該電阻，其一第二端連接於一低電壓；以及

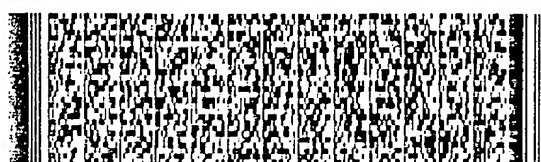
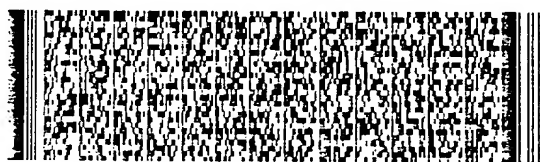
一整形電路，其一輸入端連接於該第一電容、該電阻及該第二電容，其一輸出端係為該高頻信號抑制裝置之一輸出端；

其中，該高頻信號抑制裝置係藉由該電阻、該第一電容、及該第二電容濾除由該高頻信號抑制裝置之該輸入端輸入之一信號之高頻部份，再經由該整形電路之整形，於該高頻信號抑制裝置之該輸出端輸出一邏輯信號。

2. 如申請專利範圍第1項所述之高頻信號抑制裝置，其中該電阻係選自一互補式金屬氧化物半導體(CMOS)之輸出阻抗、一金屬氧化物半導體(MOS)電阻、一傳輸閘(Transmission Gate)、一多晶矽(Poly-Si)、及一量子井(Quantum Well)其中之一。

3. 如申請專利範圍第1項所述之高頻信號抑制裝置，其中該第一電容及該第二電容係為該整形電路之一輸入寄生電容、及一金屬氧化物半導體(MOS)電容其中之一。

4. 如申請專利範圍第1項所述之高頻信號抑制裝置，其中該整形電路係選自一史密特觸發(SCHMITT trigger)電



六、申請專利範圍

路、一邏輯閘(Logic Gate)、及一比較器(Comparator)其中之一。

5. 一種高頻信號抑制裝置，包括：

一濾波器，具有一輸入端；以及

一整形電路，與該濾波器串聯，且該整形電路具有一輸出端；

其中，該高頻信號抑制裝置係藉由該濾波器濾除由該輸入端輸入之一信號之高頻部份，再經由該整形電路之整形，於該輸出端輸出一邏輯信號。

6. 如申請專利範圍第5項所述之高頻信號抑制裝置，其中該濾波器係為一低通濾波器。

7. 如申請專利範圍第5項所述之高頻信號抑制裝置，其中該濾波器包括：

一電阻，其一第一端係為該濾波器之該輸入端，其一第二端連接於該整形電路之一輸入端；

一第一電容，其一第一端連接於一高電壓，其一第二端連接於該電阻及該整形電路之該輸入端；以及

一第二電容，其一第一端連接於該第一電容、該電阻及該整形電路之該輸入端，其一第二端連接於一低電壓。

8. 如申請專利範圍第7項所述之高頻信號抑制裝置，其中該電阻係選自一互補式金屬氧化物半導體(CMOS)之輸出阻抗、一金屬氧化物半導體(MOS)電阻、一傳輸閘

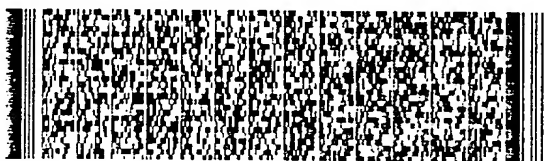
(Transmission Gate)、一多晶矽(Poly-Si)、及一量子井(Quantum Well)其中之一。

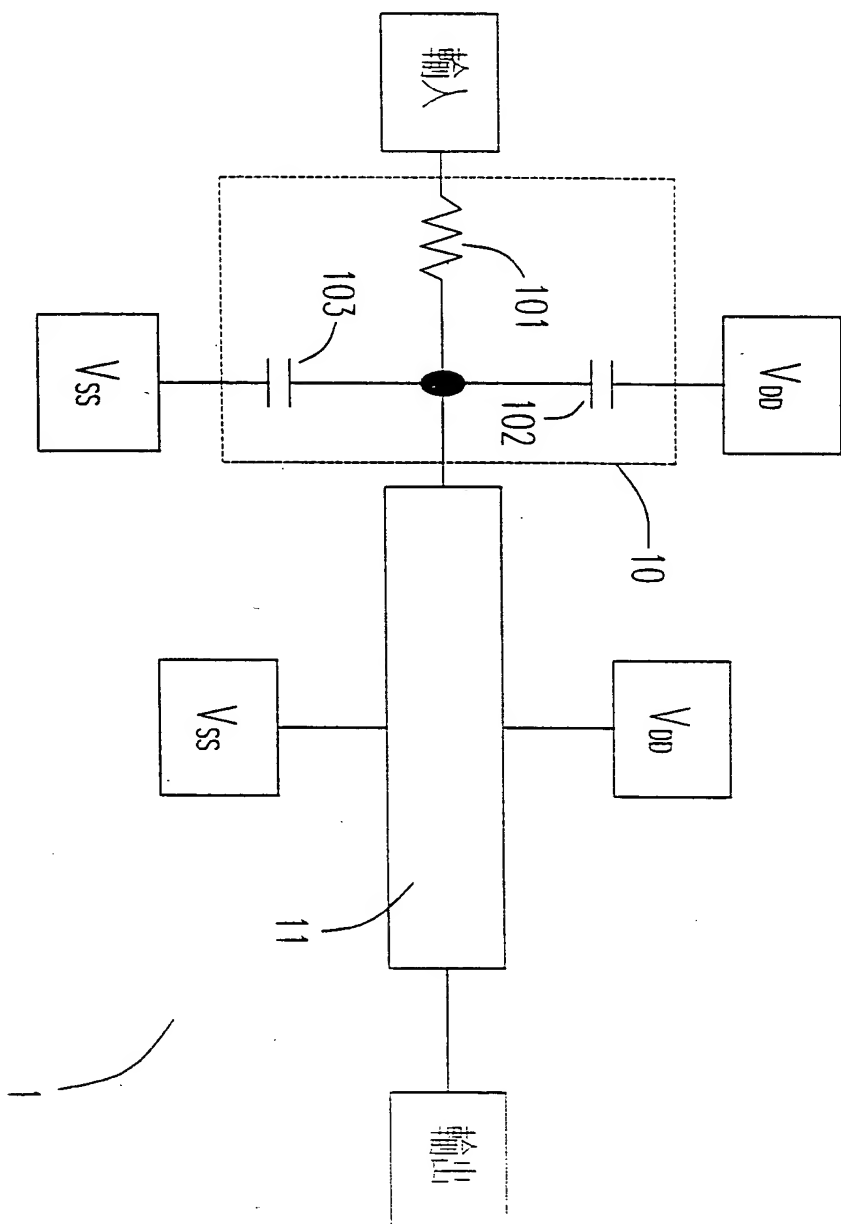


六、申請專利範圍

9. 如申請專利範圍第7項所述之高頻信號抑制裝置，其中該第一電容及該第二電容係為該整形電路之一輸入寄生電容、及一金屬氧化物半導體(MOS)電容其中之一。

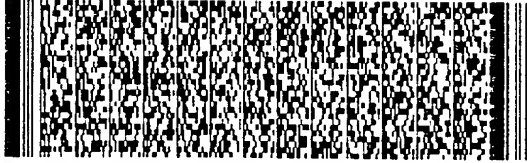
10. 如申請專利範圍第5項所述之高頻信號抑制裝置，其中該整形電路係選自一史密特觸發(SCHMITT trigger)電路、一邏輯閘(Logic Gate)、及一比較器(Comparator)其中之一。



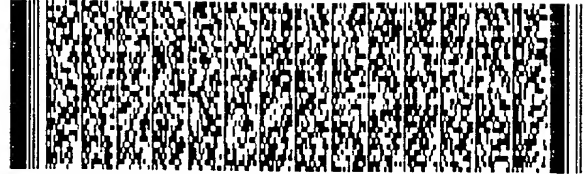


第一圖

第 1/14 頁



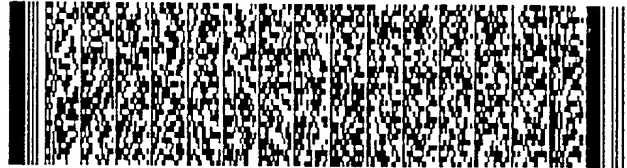
第 2/14 頁



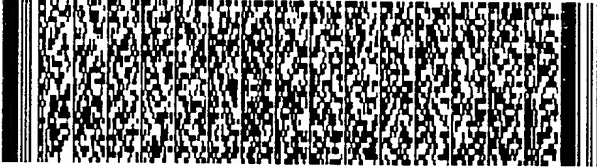
第 3/14 頁



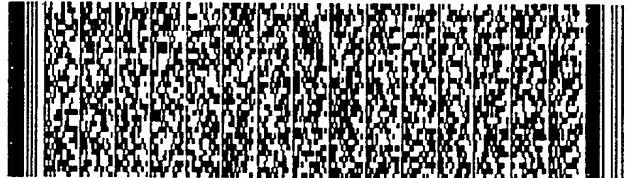
第 4/14 頁



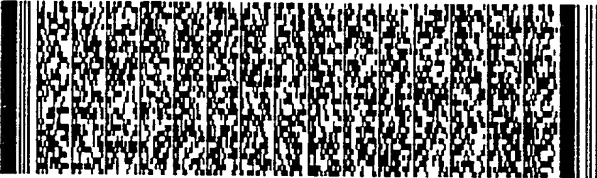
第 4/14 頁



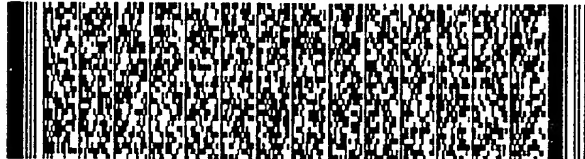
第 5/14 頁



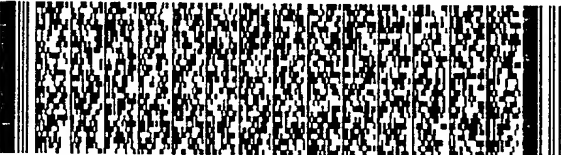
第 5/14 頁



第 6/14 頁



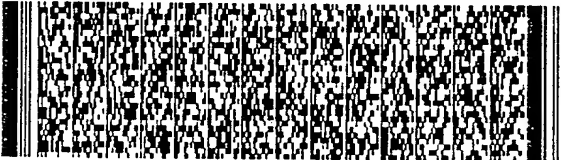
第 6/14 頁



第 7/14 頁



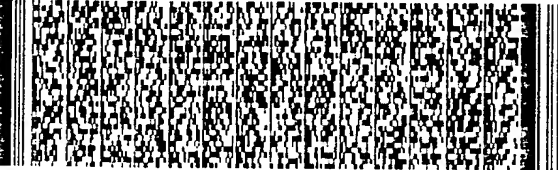
第 7/14 頁



第 8/14 頁



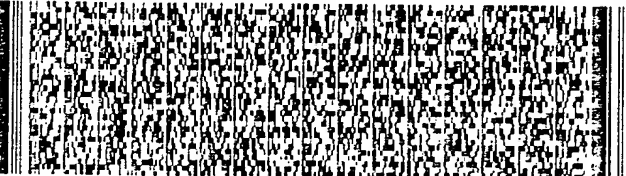
第 8/14 頁



第 9/14 頁



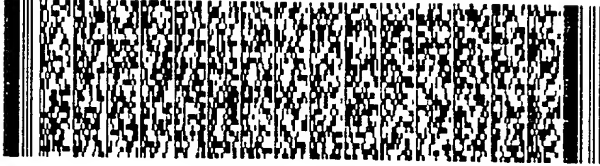
第 9/14 頁



第 10/14 頁



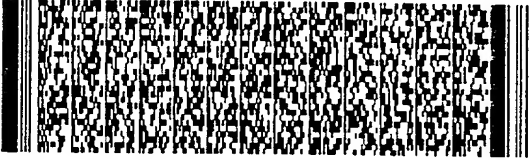
第 10/14 頁



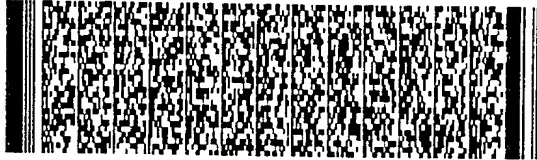
第 11/14 頁



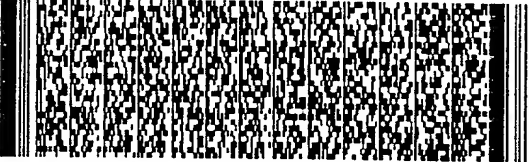
第 12/14 頁



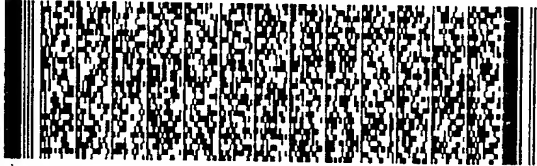
第 12/14 頁



第 13/14 頁



第 13/14 頁



第 14/14 頁

